

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP411135757A  
PAT-NO: JP411135757A  
DOCUMENT-IDENTIFIER: JP 11135757 A  
TTITLE: DRAM CELL ARRAY AND MANUFACTURE THEREOF

PUBN-DATE: May 21, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
GOEBEL, BERND	N/A
BERTAGNOLLI, EMMERICH	
KLOSE, HELMUT	N/A

N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SIEMENS AG	N/A

APPL-NO: JP10238525  
APPL-DATE: August 25, 1998

INT-CL\_(IPC): H01L027/108; H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To form a DRAM cell array of a high package density, by a method wherein first and second source and drain regions are connected to a memort condenser and a bit line extending in a direction of crossing a word line.

SOLUTION: Parallel second trenches are formed in a substrate 1a, and a semiconductor structure having one source/drain region S/D1a of vertical selection transistors and a channel region Kaa is provided therebetween, and the source/drain region S/D1a forms a channel stop region Ca adjacent to two edges. Two edge gate dielectrics Gda are provided and a word line W1a is formed in the second trench, and a memory condenser and a bit line connected to a first source/drain region S/D1a are formed and are connected to a second source/drain region S/D2a. Accordingly, it is possible to form a DRAM cell array of high package density having 1 transistor memory cell.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135757

(43) 公開日 平成11年(1999) 5月21日

(51) IntCl<sup>6</sup>  
H 0 1 L 27/108  
21/8242

識別記号

F I  
H 0 1 L 27/10

6 7 1 B  
6 2 1 B  
6 8 1 B

審査請求 未請求 請求項の数29 OL (全 22 頁)

(21) 出願番号 特願平10-238525

(22) 出願日 平成10年(1998) 8月25日

(31) 優先権主張番号 1 9 7 3 7 3 8 6 . 0

(32) 優先日 1997年8月27日

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESSEL  
LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン  
ヴィッテルスバッハープラッツ 2

(72) 発明者 ベルント グーベル

ドイツ連邦共和国 ミュンヘン クルトー  
アイスナーシュトラッセ 41/7

(72) 発明者 エンメリッヒ ベルタニヨリ

ドイツ連邦共和国 ミュンヘン ノルデン  
トシュトラッセ 5

(74) 代理人 弁理士 矢野 敏雄 (外3名)

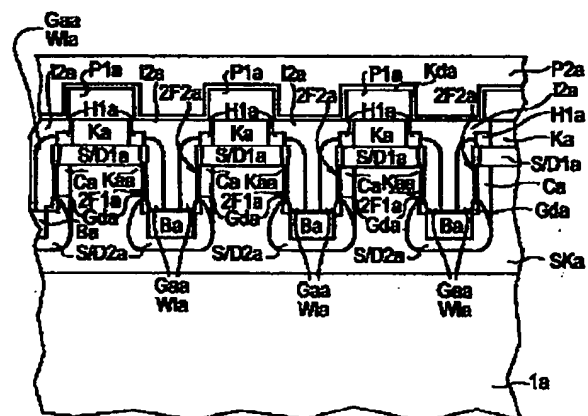
最終頁に続く

(54) 【発明の名称】 DRAMセルアレイおよび該DRAMセルアレイの製造方法

(57) 【要約】

【課題】 メモリセルとして1トランジスタメモリセルを有する高いパッケージ密度のDRAMセルアレイを提供する。

【解決手段】 バーチカル選択トランジスタのソース/ドレイン領域とチャネル領域を有する半導体構造体が設けられており、これはトレンチの間に配置されている。半導体構造体の2つのエッジのうち一方においてチャネル領域K a aの高さのところに、チャネル形成を阻止するエレメントが配置されている。両方のエッジには、ソース/ドレイン領域とそれぞれ1つのワードラインW 1 aが接している。ビットラインB 1 aのために、トレンチG 2 a内に2つのワードラインW 1 aが形成される。トレンチG 2 aの沿って隣り合う半導体構造体のエレメントは、トレンチG 2 aの一方のエッジと、隣り合うトレンチの一方のエッジに交互に配置されている。メモリコンデンサは基板1 aの上または基板1 aの中に設けられる。



1

## 【特許請求の範囲】

【請求項1】 DRAMセルアレイにおいて、  
 パーティカルMOSトランジスタとして構成されたそれぞれ1つの選択トランジスタとメモリコンデンサとを有するメモリセルと、  
 互いに対向する2つのエッジを有する半導体構造体が設けられており、  
 該半導体構造体は、前記選択トランジスタにおける2つのソース/ドレイン領域のうち少なくとも一方のソース/ドレイン領域(S/D1a)と、その下におかれたチャンネル領域(Kaa)とを有しており、  
 前記ソース/ドレイン領域(S/D1a)は半導体構造体の2つのエッジに接しており、  
 前記チャンネル領域(Kaa)は、半導体構造体の2つのエッジのうちゲート誘電体(Gda)が隣接している方のエッジに接しており、  
 該ゲート誘電体(Gda)には、第1のワードライン(W1a)と接続されたゲート電極(Gaa)が隣接しており、  
 前記半導体構造体における2つのエッジのうち他方のエッジには、前記選択トランジスタのチャンネル領域(Kaa)の高さのところに、チャンネル形成を阻止するエレメントが配置されており、  
 チャンネル形成を阻止する該エレメントの隣りにおいて前記半導体構造体の外に第2のワードライン(W1a)が配置されており、  
 前記ソース/ドレイン領域のうち第1のソース/ドレイン領域(S/D1a)は、メモリコンデンサと接続されており、  
 前記ソース/ドレイン領域のうち第2のソース/ドレイン領域(S/D2a)は、ワードライン(W1a)と交差する方向で延在するビットライン(B1a)と接続されていることを特徴とする、  
 DRAMセルアレイ。  
 【請求項2】 チャンネル形成を阻止するエレメントはチャンネルストップ領域(Ca)である、請求項1記載のDRAMセルアレイ。  
 【請求項3】 第2のソース/ドレイン領域(S/D2e)は、基板(1e)の表面(Oe)に対し垂直に延びる軸(A)に関して、第1のソース/ドレイン領域(S/D1e)の上方に配置されており、  
 メモリコンデンサは基板(1e)内に配置されている、  
 請求項1または2記載のDRAMセルアレイ。  
 【請求項4】 第1のソース/ドレイン領域(S/D1d)は、基板(1d)の表面(Od)に対し垂直に延びる軸(A)に関して、第2のソース/ドレイン領域(S/D2d)の上方に配置されており、  
 該第2のソース/ドレイン領域(S/D2d)はビットライン(B1d)の一部分であり、  
 隣り合うビットライン(B1d)は第1の絶縁構造体

2

(I1d)により互いに分離されている、  
 請求項1または2記載のDRAMセルアレイ。  
 【請求項5】 ビットラインは、基板(1a)の表面(Oa)に対し垂直に延在する軸(A)に関して、第2のソース/ドレイン領域(S/D2a)の下方で横方向に配置されており、  
 該ビットライン(B1a)は、導電性構造体を介して第2のソース/ドレイン領域(S/D2a)と接続されており、  
 第2のソース/ドレイン領域(S/D2a)の上にチャンネル領域(Kaa)が配置されており、該チャンネル領域(Kaa)の上に第1のソース/ドレイン領域(S/D1a)が配置されている、  
 請求項1または2記載のDRAMセルアレイ。  
 【請求項6】 第2の拡散領域(D2b)によりビットライン(B1b)が取り囲まれており、  
 基板(1b)は第1の導電形でドーパされており、  
 該第1の導電形とは逆の第2の導電形で前記第2の拡散領域(D2b)がドーパされており、  
 導電性構造体により第1の拡散領域が取り囲まれている、  
 請求項5記載のDRAMセルアレイ。  
 【請求項7】 ビットライン(B1c)は、第3の絶縁構造体(I3c)により基板(1c)から電気的に絶縁されており、  
 導電性構造体(Lc)により、ドーパされたポリシリコンと第1の拡散領域(D1c)が取り囲まれている、  
 請求項5記載のDRAMセルアレイ。  
 【請求項8】 ビットライン(B1a)は第2の導電形でドーパされた領域として、該第2の導電形とは逆の第1の導電形でドーパされた基板(1a)内に配置されており、  
 導電性構造体により第1の拡散領域(D1a)が取り囲まれている、請求項5記載のDRAMセルアレイ。  
 【請求項9】 折り返しビットライン(B1a)が設けられており、  
 ワードライン(W1a)とビットライン(B1a)は実質的に直線的に延在しており、  
 第2のトレンチ(G2a)に沿って前記ワードライン(W1a)のそれぞれ2つが延びており、  
 ワードライン(W1a)の1つに沿って隣り合うメモリセルの各半導体構造体における第1のエッジは、第2のトレンチ(G2a)の1つにおける第1のエッジ(2F1a)と一致しており、  
 ワードライン(W1a)に沿って隣り合うメモリセルの各半導体構造体における第2のエッジは、隣り合う第2のトレンチ(G2a)における第2のエッジ(2F2a)と一致しており、  
 ワードライン(W1a)に沿って互いに隣り合うメモリセルにおいてチャンネル形成を阻止するエレメントは、第

3

2のトレンチ(G2a)における第1のエッジ(2F1a)のところで、隣り合う第2のトレンチ(G2a)における第2のエッジ(2F2a)のところに、交互に配置されており、

ワードライン(W1a)に沿って隣り合うメモリセルのうち1つおきのメモリセルにおける選択トランジスタのゲート電極(Gaa)が、ワードライン(W1a)と接続されており、

該ゲート電極(Gaa)はワードライン(W1a)の一部である、

請求項1~8のいずれか1項記載のDRAMセルアレイ。

【請求項10】 ビットライン(B1a)に沿って隣り合うメモリセルにおいてチャンネル形成を阻止するエレメントは、第2のトレンチ(G2a)における第1のエッジ(2F1a)にすべて配置されているか、または第2のエッジ(2F2a)にすべて配置されている、請求項9記載のDRAMセルアレイ。

【請求項11】 ワードライン(W1d)とビットライン(B1d)は実質的に直線的に延在しており、第2のトレンチ(G2d)に沿ってそれぞれ1つのワードライン(W1d)が延びており、

1つのワードライン(W1d)に沿って隣り合うメモリセルにおける各半導体構造体の第1のエッジは、第2のトレンチ(G2d)の第1のエッジと一致しており、ワードライン(W1d)に沿って隣り合うメモリセルにおける各半導体構造体の第2のエッジは、別の第2のトレンチ(G2d)における第2のエッジ(2F2d)と一致しており、

ビットライン(B1d)に沿って隣り合うメモリセルにおいてチャンネル形成を阻止するエレメントは、第2のトレンチ(G2d)における第1のエッジにすべて配置されているか、または第2のエッジ(2F2d)にすべて配置されており、

ワードライン(W1d)に沿って隣り合うメモリセルにおける各選択トランジスタのゲート電極(Gad)は、ワードライン(W1d)と接続されており、

該ゲート電極(Gad)はワードライン(W1d)の一部である、

請求項1~8のいずれか1項記載のDRAMセルアレイ。

【請求項12】 メモリセルにおいてチャンネル形成を阻止するエレメントは、第2のトレンチ(G2d)における第1のエッジにすべて配置されているか、または第2のトレンチ(G2d)における第2のエッジ(2F2d)にすべて配置されている、請求項11記載のDRAMセルアレイ。

【請求項13】 DRAMセルアレイの製造方法において、

互いに平行に延在する第2のトレンチ(G2a)を基板

4

(1a)に形成して、それら第2のトレンチ(G2a)の2つの間に、バーティカル選択トランジスタにおける2つのソース/ドレイン領域のうち少なくとも一方のソース/ドレイン領域(S/D1a)と、その下に配置されたチャンネル領域(Kaa)とを有する半導体構造体を生じさせ、前記ソース/ドレイン領域(S/D1a)は、第2のトレンチ(G2a)により形成される半導体構造体の対向する2つのエッジに隣接し、

該半導体構造体において、その2つのエッジのうち一方をマスクし、2つのエッジのうち他方を斜めにイオン注入することで、チャンネル領域(Kaa)の高さのところにチャンネルストップ領域(Ca)を形成し、

該半導体構造体の2つのエッジにゲート誘電体(Gda)を設け、

前記第2のトレンチ(G2a)にワードライン(W1a)を形成し、

2つのソース/ドレイン領域のうち第1のソース/ドレイン領域(S/D1a)と接続されるメモリコンデンサを形成し、

ワードライン(W1a)と交差して延在するビットライン(B1a)を形成し、該ビットラインを2つのソース/ドレイン領域のうち第2のソース/ドレイン領域(S/D2a)と接続することを特徴とする、

DRAMセルアレイの製造方法。

【請求項14】 ワードライン(W1a)の形成において、第2のトレンチ(G2a)の形成後に導電性材料を析出し、前記第2のトレンチ(G2a)内にそれぞれ2つのワードライン(W1a)がスペーサのかたちで形成されるまでエッチバックし、

ワードライン(W1a)の1つに沿って隣り合う各メモリセルのチャンネルストップ領域(Ca)を、ワードライン(W1a)が配置されている第2のトレンチ(G2a)における第1のエッジ(2F1a)と、第2のトレンチ(G2a)のうち隣り合うトレンチにおける第2のエッジ(2F2a)とに、交互に隣接させて形成する、請求項13記載の方法。

【請求項15】 ワードライン(W1a)の形成において、第2のトレンチ(G2d)に導電性材料を充填し、ビットライン(B1d)に沿って隣り合うメモリセルにおけるチャンネルストップ領域(Ca)を、第2のトレンチ(G2d)における第1のエッジにすべて隣接させるか、または第2のエッジ(2F2d)にすべて隣接させて形成する、

請求項13記載の方法。

【請求項16】 下にチャンネル領域(Kab)の配置されたソース/ドレイン領域(S/D1b)の上に、絶縁材料から成る第1の補助層(H1b)を形成し、第2の補助層(H2b)を半導体材料から形成し、

ソース/ドレイン領域(S/D1b)に対するコンタクト(Kb)のセルフアライメントによる形成において、

50

5

ワードライン(W1b)の形成後、

a) 絶縁材料を析出し、第2の補助層(H2b)が露出するまで平坦化することによって第2の絶縁構造体(I2b)を形成し、

b) 半導体材料を絶縁材料に対し選択的にエッチングすることによって第2の補助層(H2b)を形成し、

c) 第1の補助層(H1b)が除去され、第1のソース/ドレイン領域(S/D1b)または第2のソース/ドレイン領域(S/D2e)が露出するまで、絶縁材料をエッチングし、d) 導電性材料を析出してエッチングし、これによってコンタクト(kb)を生じさせる、請求項13~15のいずれか1項記載の方法。

【請求項17】 チャネル領域(Kae)のための層(Ske)に、第2のソース/ドレイン領域(S/D2e)のための互いに平行に延在するストライプ状の領域(Ge)を形成し、

第2のソース/ドレイン領域(S/D2e)の上方または第2の補助層(H2e)の上方に、絶縁材料から成る第4の補助層(H4e)と、半導体材料から成る第5の補助層(H5e)と、絶縁材料から成る第3の補助層(H3e)を形成し、

第2のトレンチ(G2e)を形成するため、少なくとも第3の補助層(H3e)と第4の補助層(H4e)と第5の補助層(H5e)を構造化し、

半導体材料をエッチングすることで第2のトレンチ(G2e)を形成し、ここで第3の補助層(H3e)はマスクとしてはたき、

次に第3の補助層(H3e)を除去し、

チャネルストップ領域(Ce)の形成後、絶縁材料を析出し、第5の補助層(H5e)が露出するまで平坦化し、

第2のソース/ドレイン領域(S/D2e)のための領域(Ge)を覆わないマスクを用いることで絶縁材料を部分的に除去し、ここで第5の補助層(H5e)により第4の補助層(H4e)が保護され、

第2のトレンチ(G2e)の底部に接して、イオン注入とアニーリングにより第1のソース/ドレイン領域(S/D1e)を形成し、

半導体材料のエッチングによりコンデンサのメモリノード(Sp)を形成し、コンデンサ誘電体(Kde)を形成し、続いて導電性材料を析出し、メモリノードの高さが第1のソース/ドレイン領域(S/D1)の範囲に位置するまで該導電性材料をエッチングし、これによって第5の補助層(H5e)を除去し、第4の補助層(H4e)により第2のソース/ドレイン領域(S/D2e)または第2の補助層(H2e)が保護され、

次にコンデンサ誘電体(Kde)を部分的に除去し、導電性材料を析出し、メモリノード(Sp)が第1のソース/ドレイン領域(S/D1e)のそれぞれ1つと接続されるよう、該導電性材料をエッチバックし、

6

次にゲート誘電体(Gde)を形成し、

続いてワードライン(W1e)を形成する、

請求項13または16記載の方法。

【請求項18】 第1のソース/ドレイン領域(S/D1a)を、基板(1a)の表面(Oa)に対し垂直に延びる軸(A)に関して、第2のソース/ドレイン領域(S/D2a)の上方に形成し、

互いに平行に延在する第1のトレンチ(G1a)を形成し、

10 第1のトレンチ(G1a)を該第1のトレンチ(G1a)の上辺まで少なくとも部分的に、ビットライン(B1a)と接する絶縁材料で充填し、

マスクを用いて絶縁材料と半導体材料をエッチングすることによって、前記第1のトレンチ(G1a)と交差する方向で該第1のトレンチよりも部分的にフラットな第2のトレンチ(G2a)を形成し、

前記絶縁材料から第1の絶縁構造体(I1a)を生じさせ、該絶縁構造体により、前記第2のトレンチ(G2a)に沿って隣り合うメモリセルを互いに分離する、請求項13~17のいずれか1項記載の方法。

20 【請求項19】 少なくとも第2のトレンチ(G2a)を満たす材料を析出し、該材料を、前記軸(A)に関して第2のトレンチ(G2a)の本来の最も深い深さよりもさらに深い深さまでエッチングすることによって、第2のトレンチ(G2a)に平坦な底部を成す底部構造体(Ba)を形成する、請求項18記載の方法。

【請求項20】 第1の絶縁構造体(I1a)を第2のソース/ドレイン領域(S/D2a)の上に形成した後、絶縁材料から成る第1の補助層(H1a)を形成して構造化し、

30 ワードライン(W1a)を部分的に第1の補助層(H1a)に隣接させて形成する、

請求項18または19記載の方法。

【請求項21】 第1の絶縁構造体(I1a)を第2のソース/ドレイン領域(S/D2a)または第1の補助層(H1a)の上に形成した後、第2の補助層(H2a)およびその上に第3の補助層(H3a)を形成し、第2のトレンチ(G2a)を形成するため、第2の補助層(H2a)と第3の補助層(H3a)を構造化し、半導体材料のエッチングにより第2のトレンチ(G2a)を形成し、ここで第3の補助層(H3a)は第1のマスクとしてはたき、

第2のトレンチ(G2a)の底部構造体(Ba)の形成にあたり、第2の補助層(H2a)は第2のマスクとしてはたき、

請求項19または20記載の方法。

【請求項22】 第1のソース/ドレイン領域(S/D1d)を、基板(1d)の表面(Od)に対し垂直に延びる軸(A)に関し、第2のソース/ドレイン領域(S/D2d)の上方に形成し、

50

第2のソース/ドレイン領域(S/D2d)をビットライン(B1d)の一部分として形成し、隣り合う各ビットライン(B1d)を互いに電氣的に絶縁する第1の絶縁構造体(I1d)を形成する、請求項13~16または18のいずれか1項記載の方法。

【請求項23】 ビットライン(B1d)のための層(SBd)を形成し、その上にチャネル領域(Kad)のための層(SKd)を、さらにその上に第1のソース/ドレイン領域(S/D1d)のための層(SSd)を形成し、ビットライン(B1d)のための層(SBd)が分断されるよう第1のトレンチ(G1d)を形成し、これによりビットライン(B1d)と第2のソース/ドレイン領域(S/D2d)はビットライン(B1d)の一部分として生じ、第1のトレンチ(G1d)を絶縁材料で充填することによって、ビットライン(B1d)を互いに電氣的に絶縁する第1の絶縁構造体(I1d)を形成し、第2のトレンチ(G2d)を、ビットライン(B1d)のための層(SBd)を分断することなく該層(SBd)の中まで達するように形成し、これにより第1のソース/ドレイン領域(S/D1d)、チャネル領域(Kad)、およびビットライン(B1d)の一部分として第2のソース/ドレイン領域(S/D2d)が生じる、請求項18または22記載の方法。

【請求項24】 ビットライン(B1a)を、半導体材料を含む基板(1a)の表面(Oa)に対し垂直に延在する軸(A)に関して、選択トランジスタの第2のソース/ドレイン領域(S/D2a)の下方で横方向に形成し、ビットライン(B1a)を第2のソース/ドレイン領域(S/D2a)と接続する導電性材料(L1a)を形成し、第2のソース/ドレイン領域(S/D2a)の上に選択トランジスタのチャネル領域(Kaa)を形成し、該チャネル領域(Kaa)の上に選択トランジスタの第1のソース/ドレイン領域(S/D1a)を形成する、請求項13~16または18~21のいずれか1項記載の方法。

【請求項25】 ビットライン(B1a)を第1のトレンチ(G1a)に沿って形成し、第1の絶縁構造体(I1a)をビットライン(B1a)を介して形成する、請求項18または24記載の方法。

【請求項26】 ビットライン(B1b)を形成するため、第1のトレンチ(G1b)を第2の導電形でドーパされたポリシリコンで部分的に満たし、アニーリングにより、ドーパされたポリシリコンからドーパントを周囲へ拡散させ、これによりビットライン

(B1b)を基板(1b)から分離する第2の拡散領域(D2b)が生じ、

基板(1b)を前記第2の導電形とは逆の第1の導電形でドーパし、

第2のトレンチ(G2b)の底部に隣接させて、イオン注入とアニーリングにより第2のソース/ドレイン領域(S/D2b)を形成し、

第1のトレンチ(G1b)が第2のトレンチ(G2b)と重なり合っている領域において絶縁材料を除去することによって導電性構造体を形成し、これによりビットラインを部分的に露出させ、第2のトレンチ(G2b)内で斜めにイオン注入を行うことで第1の拡散領域を形成する、

請求項25記載の方法。

【請求項27】 ビットライン(B1c)を基板(1c)から分離するため、第1のトレンチの側面に第3の絶縁構造体(I3c)を設け、

次にビットライン(B1c)を形成するため、第1のトレンチ(G1c)を部分的に導電性材料で満たし、

第2のトレンチ(G2c)の底部に隣接させて、イオン注入およびアニーリングにより第2の導電形でドーパされた第2のソース/ドレイン領域(S/D2c)を形成し、

ドーパされたポリシリコンおよび第1の拡散領域(D1c)を取り囲む導電性材料(L)の形成において、

a) 第1のトレンチ(G1c)と部分的にオーバーラップし部分的にオーバーラップしていない第2のトレンチの領域における絶縁材料を除去し、これによってビットラインを部分的に露出させ、

b) 第2の導電形でドーパされたポリシリコンを析出してエッチバックし、

c) アニーリングにより、ドーパされたポリシリコンのドーパントを周囲に拡散させ、これによりドーパされたポリシリコンを基板(1c)から分離する第1の拡散領域(D1c)を生じさせる、

請求項25記載の方法。

【請求項28】 基板(1a)を第1の導電形でドーパし、

第1の導電形とは逆の第2の導電形でドーパされたビットライン(B1a)を、イオン注入およびアニーリングにより第1のトレンチ(G1a)の底部に隣接させて形成し、

第2のトレンチ(G2a)の底部に隣接させて、イオン注入およびアニーリングにより第2のソース/ドレイン領域(S/D2a)を形成し、

導電性構造体の形成において、第1のトレンチ(G1a)と第2のトレンチ(G2a)とが重なり合う領域における絶縁材料を除去し、これによりビットライン(B1a)を部分的に露出させ、第2のトレンチ(G2a)内での傾斜イオン注入により第1の拡散領域(D1a)

を形成する。  
請求項25記載の方法。

【請求項29】 第2のトレンチ(G2a)の底部に隣接させて、第2のソース/ドレイン領域(S/D2a)をイオン注入およびアニーリングにより形成し、第2のソース/ドレイン領域(S/D2a)のイオン注入後、導電性構造体を形成する前に半導体材料をエッチングし、これにより第2のトレンチ(G2a)を部分的に深くし、ただしビットライン(B1a)よりも常に高く保持し、導電性構造体の形成後、第2のトレンチ(G2a)の底部構造体(Ba)を形成する、請求項25~28のいずれか1項記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAMセルアレイおよび該DRAMセルアレイの製造方法に関する。

【0002】

【従来の技術】DRAMセルアレイすなわちダイナミックなランダムアクセスの行われるメモリセルアレイの場合にはほとんど、いわゆる1トランジスタメモリセルがもっぱら使用される。1トランジスタメモリセルは、選択トランジスタとメモリコンデンサを有している。メモリコンデンサには、論理値0または1を表す情報が電荷のかたちで蓄積されている。この場合、ワードラインを介して選択トランジスタを制御することにより、ビットラインを介してこの情報を読み出すことができる。

【0003】メモリの世代が代わるにつれて記憶密度が増加していくので、1トランジスタメモリセルの所要面積は世代ごとに小さくなっていかなければならない。ストラクチャサイズの低減は、そのときどきの技術で製造可能な最小のストラクチャサイズFによって制限されているので、それに付随して1トランジスタメモリセルの変更も行われることになる。したがって1Mビット世代までは、選択トランジスタもメモリコンデンサもプレーナ素子として実現されてきた。そして4Mビットのメモリ世代からは、選択トランジスタとメモリコンデンサを3次元で配置することによって面積をさらに低減する必要があった。

【0004】1つの可能な構成として挙げられるのは、メモリコンデンサをプレーナ形ではなくトレンチとして実現することである(たとえばK.Yamada等による"A deep-trenched Capacitor technology for 4 Mbit DRAMs", Proc. Intern. Electronic Devices and Materials IEDM 85, p.702)。

【0005】別の可能な構成として、たとえばアメリカ合衆国特許US-PS 5 376 575などに記載のバーチカルMOSトランジスタの使用が挙げられる。

【0006】先願のドイツ連邦共和国特許出願1962062 5.1には、選択トランジスタがバーチカルMOSトラン

ジスタとしてメモリコンデンサの上方に形成されたDRAMセルアレイが示されている。このため、第1トレンチおよびそれと交差する方向で第2トレンチが基板中につくられる。各トレンチ内にはメモリコンデンサがそれぞれ配置される。第2トレンチのうちそのつど2つのトレンチによってトレンチペアが形成され、これは絶縁構造体によって取り囲まれる。その際、各トレンチペアにおける2番目のトレンチの間に半導体アイランドが配置されている。この半導体アイランドと2つの第2トレンチのうち1番目のトレンチとに共通する第1エッジには、第1ゲート電極を備えた選択トランジスタが配置されており、半導体アイランドと2つの第2トレンチのうち2番目のトレンチとに共通する第2エッジには、第2ゲート電極を備えた第2のトランジスタが配置されている。この場合、各メモリコンデンサのメモリノードは、半導体アイランドのエッジのうちの一方とそれぞれ隣接している。折り返しビットラインを実現するために、半導体アイランドは隣接する第1トレンチに沿ってそれぞれ互いにずらされて配置されている。折り返しビットラインの場合、選択トランジスタの情報読み出しのために、対応づけられているビットラインの信号が隣り合うビットラインの信号と比較される。選択トランジスタを制御するワードラインは、隣り合うビットラインと接続されている選択トランジスタと接続されてはならない。これにより、互いに著しく密に配置されたビットラインにおいて等しい障害および信号バックグラウンドを、ほとんど除去することができる。これが有利である理由は、ビットラインにおいて評価しなければならない信号はストラクチャサイズの低減によってますます小さくなるからである。

【0007】ドイツ連邦共和国特許出願DE 195 191 60 C1に記載されているDRAMセルアレイによれば、メモリセルごとにバーチカルMOSトランジスタが設けられており、このトランジスタの第1のソース/ドレイン領域はメモリコンデンサのメモリノードと接続されており、そのチャネル領域はリング状にゲート電極によって取り囲まれ、さらに第2のソース/ドレイン領域は埋め込まれたビットラインと接続されている。メモリコンデンサはプレーナ形コンデンサあるいは積層コンデンサである。

【0008】また、アメリカ合衆国特許US 4 630 088に記載のDRAMセルアレイによれば、メモリセルの選択トランジスタとビットラインとの間にメモリセルのコンデンサが接続されている。この場合、ストライプ状半導体構造体の互いに対向する2つのエッジの各々にワードラインが配置されている。この半導体構造体は、選択トランジスタにおける上方および下方のソース/ドレイン領域を有している。これらソース/ドレイン領域の間にチャネル領域が配置されている。上方のソース/ドレイン領域は、2つのエッジのうちの一方と隣接してい



11

る。この上方のソース/ドレイン領域の隣りにドーピング領域が配置されており、この領域はチャネル領域と同じ導電形でドーピングされているが、それよりも高いドーパント濃度を有している。このドーピング領域により、上方のソース/ドレイン領域が隣接する半導体構造体のエッジに配置されたワードラインによってのみ、選択トランジスタが制御されるようになる。

【0009】さらにアメリカ合衆国特許 US 5 214 603 に記載のDRAMセルアレイによれば、メモリセルのコンデンサとビットラインとの間にメモリセルの選択トランジスタが接続されている。この場合、互いに平行に延在するフランクの各エッジにワードラインが配置されている。また、これらのトレンチの2つの間に半導体構造体が配置されており、これは2つの選択トランジスタに共通する1つのソース/ドレイン領域と、選択トランジスタの2つの下方のソース/ドレイン領域を有している。上方のソース/ドレイン領域と下方のソース/ドレイン領域との間にドーピング領域が設けられており、この領域はソース/ドレイン領域の導電形とは反対の導電形でドーピングされている。さらに、トレンチに対し平行または垂直に互いに隣り合って設けられた各半導体構造体の間に絶縁構造体が配置されており、これは各トレンチの間に配置されている。

【0010】

【発明が解決しようとする課題】本発明の課題は、メモリセルとして1トランジスタメモリセルを有し著しく高いパッケージ密度で製造できるようにしたDRAMセルアレイ、ならびにこの種のDRAMセルアレイのための製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明によればこの課題は、バーティカルMOSTランジスタとして構成されたそれぞれ1つの選択トランジスタとメモリコンデンサとを有するメモリセルと、互いに対向する2つのエッジを有する半導体構造体が設けられており、該半導体構造体は、前記選択トランジスタにおける2つのソース/ドレイン領域のうち少なくとも一方のソース/ドレイン領域と、その下におかれたチャネル領域とを有しており、前記ソース/ドレイン領域は半導体構造体の2つのエッジに接しており、前記チャネル領域は、半導体構造体の2つのエッジのうちゲート誘電体が隣接している方のエッジに接しており、該ゲート誘電体には、第1のワードラインと接続されたゲート電極が隣接しており、前記半導体構造体における2つのエッジのうち他方のエッジには、前記選択トランジスタのチャネル領域の高さのところに、チャネル形成を阻止するエレメントが配置されており、チャネル形成を阻止する該エレメントの隣りにおいて前記半導体構造体の外に第2のワードラインが配置されており、前記ソース/ドレイン領域のうち第1のソース/ドレイン領域は、メモリコンデンサと接続されて

12

おり、前記ソース/ドレイン領域のうち第2のソース/ドレイン領域は、ワードラインと交差する方向で延在するビットラインと接続されていることを特徴とするDRAMセルアレイにより解決される。

【0012】さらに本発明の課題は、互いに平行に延在する第2のトレンチを基板に形成して、それら第2のトレンチの2つの間に、バーティカル選択トランジスタにおける2つのソース/ドレイン領域のうち少なくとも一方のソース/ドレイン領域と、その下に配置されたチャネル領域とを有する半導体構造体を生じさせ、前記ソース/ドレイン領域は、第2のトレンチにより形成される半導体構造体の対向する2つのエッジに隣接し、該半導体構造体において、その2つのエッジのうち一方をマスクし、2つのエッジのうち他方を傾斜イオン注入 (schræge Implantation) することで、チャネル領域の高さのところにチャネルストップ領域を形成し、該半導体構造体の2つのエッジにゲート誘電体を設け、前記第2のトレンチにワードラインを形成し、2つのソース/ドレイン領域のうち第1のソース/ドレイン領域と接続されるメモリコンデンサを形成し、ワードラインと交差して延在するビットラインを形成し、該ビットラインを2つのソース/ドレイン領域のうち第2のソース/ドレイン領域と接続することを特徴とする、DRAMセルアレイの製造方法により解決される。

【0013】従属請求項には本発明の有利な実施形態が示されている。

【0014】

【発明の実施の形態】本発明によるDRAMセルアレイの場合、メモリセルはそれぞれ1つの半導体構造体を有しており、これにはバーティカル選択トランジスタにおける2つのソース/ドレイン領域のうち少なくとも一方と、その下に配置されたチャネル領域とが含まれる。選択トランジスタはMOSTランジスタとして構成されている。この場合、半導体構造体は対向する2つのエッジを有しており、それらのエッジにソース/ドレイン領域が隣接している。チャネル領域は半導体構造体における2つのエッジの一方に接している。チャネル領域にはゲート誘電体が隣接しており、さらにこのゲート誘電体には、第1のワードラインと接続されたゲート電極が隣接している。半導体構造体における2つのエッジの他方にはチャネル領域の高さのところに、チャネル形成を阻止するエレメントが配置されている。チャネル形成を阻止するこのエレメントには、第2のワードラインが隣接している。このエレメントはソース/ドレイン領域の下方に配置されており、したがってこのDRAMセルアレイは、アメリカ合衆国特許 US 4630 088 によるDRAMセルアレイよりも高いパッケージ密度を有する。選択トランジスタにおける第1のソース/ドレイン領域はメモリコンデンサと接続されている。さらに選択トランジスタの第2のソース/ドレイン領域は、第1のワードライ

ンと交差して延びるビットラインと接続されている。このDRAMセルアレイにおける1つのメモリセルは、 $4F^2$ の面積で製造できる。

【0015】チャネル形成を阻止するエレメントはチャネルストップ領域として構成できる。このチャネルストップ領域はチャネル領域と同じ導電形でドーパされているが、それよりも高いドーパント濃度を有している。チャネルストップ領域を形成するため、半導体構造体を互いに分離する第2のトレンチを形成することができる。そして第2のトレンチの第1のエッジおよび/または第2のエッジにおける傾斜注入により、チャネルストップ領域が生じる。チャネルストップ領域は、補助材料のドーパントの拡散によっても生じさせることができ、この補助材料はその後、再び除去される。択一的に、第2のトレンチの第1のエッジおよび/または第2のエッジに、絶縁材料から成るスペーサのかたちのエレメントを形成できる。

【0016】折り返しビットラインを有するDRAMセルアレイを構成すると有利である。この目的で、第2のトレンチに沿ってそれぞれ2つのワードラインが形成される。1つのワードラインに沿って隣り合うメモリセルにおいてチャネル形成を阻止するエレメントは、第2のトレンチにおける第1のエッジと第2のエッジに交互に接して配置される。これにより、あるビットラインと接続されている選択トランジスタを制御するワードラインは、そのビットラインと隣り合うビットラインと接続された選択トランジスタとはつながらない。ビットラインと隣り合うメモリセルにおいてチャネル形成を阻止するエレメントを、たとえば第2のトレンチの第1のエッジにすべて隣接させるか、または第2のエッジにすべて隣接させることができる。選択的に、ビットラインに沿って隣り合うメモリセルにおいてチャネル形成を阻止するエレメントを、第2のトレンチにおける第1のエッジと第2のエッジに交互に隣接させることができる。ワードラインはスペーサのかたちで形成できる。

【0017】プロセスを簡単にするため、折り返しビットラインを採用しないことも本発明の枠内に入る。第2のトレンチはそれぞれワードラインによって実質的に充填される。同じビットラインと接続されたメモリセルをそれぞれ異なるワードラインによって制御するために、ビットラインに沿って隣り合うメモリセルにおいてチャネル形成を阻止するエレメントを、第2のトレンチにおける第1のエッジにすべて隣接させて、または第2のエッジにすべて隣接させて形成されている。チャネル形成を阻止するエレメントを傾斜イオン注入により形成されるチャネルストップ領域として実現する場合、それらのエレメントをすべて第2のトレンチにおける第1のエッジまたは第2のエッジに隣接して形成すれば、プロセスの煩雑さを低減させるうえで有利である。これにより、チャネルストップ領域の形成にあたりマスクを省くこと

ができる。

【0018】メモリコンデンサを基板内に埋め込むこともできるし、あるいは基板の上に配置させることもできる。

【0019】基板の上にコンデンサを配置する場合、第2のソース/ドレイン領域をビットラインの一部分とすることができるし、あるいは導電性構造体を介してビットラインと接続してもよい。これら両方の事例において、ビットラインに対し平行に延在する第1のトレンチを形成することができ、それらは上辺まで少なくとも部分的に絶縁材料で満たされ、これはビットラインに接している。この絶縁材料は第1の絶縁構造体を成している。第1のトレンチと交差する方向で第2のトレンチが形成され、これらはそれぞれ少なくとも部分的に第1のトレンチよりもフラットであり、この場合、マスクを用いることで、第1のトレンチと重なり合った領域において絶縁材料がエッチングされ、第1のトレンチ以外の領域では半導体材料がエッチングされる。第2のトレンチ内にはワードラインが形成される。第1の絶縁構造体は、第2のトレンチのそれぞれ1つに沿って隣り合うメモリセルを互いに分離する。

【0020】第2のソース/ドレイン領域がビットラインの一部分である場合、たとえばイオン注入および/またはエピタキシャルによって、ビットラインのための層を形成し、その上にチャネル領域のための層を、さらにその上にソース/ドレイン領域のための層を形成できる。チャネル領域のための層は、ビットラインのための層とソース/ドレイン領域のための層の導電形とは逆の導電形でドーパされている。ビットラインを形成するため互いに平行に延在する第1のトレンチが形成され、これによってビットラインのための層が分断される。このことで、各第1のトレンチの間においてビットラインのための層からビットラインが生じる。第1の絶縁構造体によって、ビットラインが互いに絶縁される。第1のトレンチと第2のトレンチを形成することにより、ソース/ドレイン領域のための層とチャネル領域のための層から、第1のソース/ドレイン領域とチャネル領域が生じる。

【0021】第2のソース/ドレイン領域が導電性構造体を介してビットラインと接続されている場合、基板表面に対し垂直に延在する軸に関して、第2のソース/ドレイン領域の下方で横方向にビットラインを配置させることができる。この目的で、ビットラインは第1のトレンチに沿って形成される。基板が、たとえばイオン注入および/またはエピタキシャルにより形成されたチャネル領域のための層を有するように構成できる。その際、基板をチャネル領域のための導電形でドーパすることもできるし、あるいはそれとは逆の導電形でドーパすることもできる。第1のソース/ドレイン領域はたとえば、チャネル領域のための層における面全体にわたるイオン

注入により形成されるソース/ドレイン領域のための層から、第1のトレンチと第2のトレンチを形成することによって生じる。

【0022】択一的に、第1のソース/ドレイン領域をマスクによるイオン注入により形成できる。第2のソース/ドレイン領域は、たとえばイオン注入およびアニーリングにより第2のトレンチの底部の一部分に生じる。アニーリングはドーパントを活性化させるだけでなく、第2のソース/ドレイン領域をたとえば側方および高さ方向へ伸張させるはたらきをなし、これによって第2の

ソース/ドレイン領域の高さが第2のトレンチの底部に位置するようになる。選択的に、第2のソース/ドレイン領域をチャネル領域のための層よりも前に形成し、その後、この層をエピタキシャルにより形成する。

【0023】ビットラインを第1のトレンチ底部のイオン注入により形成することができる。

【0024】選択的に、ドーパされたポリシリコンで第1のトレンチを部分的に満たすことによってビットラインを生じさせる。基板に対しビットラインを絶縁するために、アニーリングステップにおいてビットラインからドーパントを拡散させ、これにより第2の拡散領域を生じさせ、この拡散領域によってビットラインを基板から分離する。この場合、基板は、ビットラインの導電形とは逆の導電形でドーパされる。ドーパされたポリシリコンをビットラインとして用いる代わりに、第2の拡散領域形成後、ポリシリコンを除去することができる。次に、別の導電性材料を析出してエッチングし、そこからビットラインを生じさせ、これらのビットラインは第2の拡散領域によって基板から電氣的に絶縁される。

【0025】選択的に、第1のトレンチの側方に第3の絶縁構造体を設けることができる。この場合、第1のトレンチをたとえばシリサイド、ポリサイド、ポリシリコンおよび/または金属などの導電性材料で部分的に満たすことによって、第3の絶縁構造体により基板から分離されたビットラインを生じさせる。

【0026】ビットラインと基板により形成される容量を小さく保持するために有利であるのは、第3の絶縁構造体がたとえばホウケイ酸ガラスなど低い誘電率の材料を有することである。また、ビットライン形成後に第3の絶縁構造体の露出部分を除去すると有利である。これにより、多くの製造ステップにおいて第1のトレンチのエッチの部分露出させるべき場合に、プロセスの煩雑さが低減される。第1の絶縁構造体を導電性構造体よりも前に形成する場合、導電性構造体を生じさせるべき第1のトレンチのエッジに隣接する第1の絶縁構造体の少なくとも一部分を、ビットラインが部分的に露出するまで除去する。

【0027】さらに、ビットラインと基板により形成される容量を著しく小さく保持するために、第2の拡散領域も形成できるし第3の絶縁構造体も形成することがで

きる。

【0028】導電性構造体のために、たとえば傾斜イオン注入 (schraege Implantation) により第1の拡散領域が形成され、これはビットラインおよび第2のソース/ドレイン領域に接する。

【0029】導電性構造体を、導電性材料の析出とエッチバックによって形成することもできる。この場合、導電性材料を基板から絶縁するために、たとえば導電性材料をドーパされたポリシリコンとすることができる。その際、アニーリングステップにおける拡散によって第1の拡散領域が生じ、この領域は導電性構造体の付加的な部分として用いられるだけでなく、ドーパされたポリシリコンを基板から電氣的に絶縁する。このため基板は、ドーパされたポリシリコンの導電形とは逆の導電形でドーパされる。択一的に絶縁材用によって、たとえば第3の絶縁構造体の一部分あるいはスペーサ状の構造体によって、導電性材料を基板から絶縁することができる。導電性材料はたとえば、金属、金属シリサイドあるいはドーパされたポリシリコンを有することができる。

【0030】また、本発明の枠内において、第2のソース/ドレイン領域の上方に絶縁材料から成る第6の補助層を形成し、さらにその上に第7の補助層を形成することができる。導電性構造体を形成する前に第1の絶縁構造体を部分的に除去する際、第7の補助層によって第6の補助層が保護される。さらに、導電性構造体形成のため導電性材料をエッチングする際、第6の補助層によりその下に位置するDRAMセルアレイの部分が保護される。

【0031】折り返しビットラインをもつDRAMセルアレイのワードラインの形成にあたり、不所望なスペーサの形成によって第2のトレンチと交差する方向で延在する縁とワードラインが短絡しないようにするためには、第2のトレンチに実質的に平坦な底部を設ける必要がある。このため、絶縁材料エッチングにおけるエッチング深さと半導体材料エッチングにおけるエッチング深さが互いにほぼ一致している。

【0032】平坦な底部があとから底部構造体の平面として生じる場合には、エッチング深さがそれほど一致していなくてもよい。底部構造体は導電性構造体の形成後、少なくとも第2のトレンチを満たす材料を析出し、軸に関して第2のトレンチの本来の最も深い深さよりもさらに低い深さまでエッチングすることによって形成される。

【0033】ワードラインを絶縁するため、および/またはワードラインが関与している容量を小さくするため、底部構造体を絶縁材料から製造するのがよい。

【0034】平坦な底部の設けられた第2のトレンチ内に形成されるゲート電極が第2のソース/ドレイン領域を制御できるようにするためには、平坦な底部の高さが第2のソース/ドレイン領域の高さと一致してはならな

17

い、第2のソース/ドレイン領域の高さは、第2のトレンチの本来の底部の高さよりも実質的に上には位置しておらず、この場合、第2のソース/ドレイン領域は底部構造体を形成する前に、第2のトレンチの底部の一部におけるイオン注入とアニーリングにより形成される。第2のトレンチの平坦な底部が底部構造体により形成される場合、平坦な底部の高さの設定に対する垂直方向の許容範囲はそれゆえに狭い。したがって、第2のソース/ドレイン領域形成後、半導体材料をエッチングし、第2のトレンチが部分的に深くなるようにすると有利である。これによって、平坦な底部の高さの設定における垂直方向の許容範囲が拡大する。第2のソース/ドレイン領域がビットラインの一部であれば、垂直方向の許容範囲の拡大のために第2のトレンチを十分深く形成すれば間に合う。それというのも、第2のソース/ドレイン領域の高さはこの場合、第2のトレンチの深さによって影響を受けないからである。

【0035】本発明の枠内で、第1の絶縁構造体を第2のソース/ドレイン領域上に形成した後、絶縁材料から成る第1の補助層が形成される。この補助層により、スペーサ上のワードラインを形成するためにエッチバックする際の垂直方向における許容範囲が拡大される。ゲート電極を第1の補助層に部分的に隣接させることができる。

【0036】さらに本発明の枠内で、第1の絶縁構造体を第2のソース/ドレイン領域上に形成した後、第2の補助層が形成され、その上に第3の補助層が形成される。第3の補助層はフォトリソグラフィ法により構造化され、これは第2のトレンチの形成に際してマスクとして用いられ、第2の補助層を保護する。そしてこの第2の補助層は、第1の絶縁構造体および平坦な底部を形成するための材料に対し選択的にエッチング可能である。平坦な底部の形成において第2の補助層はマスクとして用いられ、第1の絶縁構造体の一部分を保護する。第1の補助層も形成される場合、第2の補助層が第1の補助層の上に配置される。また、第6の補助層と第7の補助層も形成される場合、第6の補助層が第2の補助層の上に形成され、第3の補助層は第7の補助層の上に形成される。

【0037】第1の補助層だけしか形成されない場合、この層を第2のトレンチの形成にあたりマスクとして用いることができる。

【0038】さらに本発明の枠内において、ソース/ドレイン領域に対するコンタクトが形成される。メモリコンデンサが基板の上方に配置されている場合、コンタクトによって第1のソース/ドレイン領域とメモリコンデンサの第1のコンデンサプレートとが接続される。メモリコンデンサが基板中に埋め込まれている場合、コンタクトによって第2のソース/ドレイン領域とビットラインとが接続される。

18

【0039】これらのコンタクトは、第3の絶縁構造体のマスクされたエッチングならびにその際に生じる凹欠部を導電性材料で充填することによって形成される。

【0040】パッケージ密度を上げるため、コンタクトをセルフアライメントさせることができ、つまり調整すべきマスクを使用することなく形成できる。この目的でソース/ドレイン領域の上に、絶縁材料から成る第1の補助層と半導体材料から成る第2の補助層が形成される。ゲート電極の形成後、絶縁材料が析出され、これは第2の補助層が露出するまで平坦化される。次に、第2の補助層が除去されるまで、半導体材料が絶縁材料に対し選択的にエッチングされる。これによりソース/ドレイン領域の上方に凹欠部が形成され、絶縁材料はソース/ドレイン領域の上方において、ゲート電極の上方におけるよりも薄くなる。従って、第1の補助層が除去されてソース/ドレイン領域が露出するまで絶縁材料がエッチングされると、凹欠部は下方にずれ、ゲート電極の上には絶縁材料がそのまま残される。導電性材料を析出し、絶縁材料が露出するまでそれをエッチングすることで、凹欠部にコンタクトが生じる。

【0041】選択的に、これらのコンタクトをなくすることもできる。このため、ゲート電極がソース/ドレイン領域上辺の下方までエッチバックされる。絶縁材料を析出し、ソース/ドレイン領域は露出するがゲート電極は露出しないところまでそれをエッチングすることで、第2の絶縁構造体が形成される。次に、たとえばタングステン、プラチナまたはポリシリコンなどの導電性材料を析出して構造化することにより、第1のコンデンサプレートまたはビットラインがソース/ドレイン領域にじかに接して形成される。

【0042】メモリコンデンサが基板に埋め込まれている場合、第1のソース/ドレイン領域のために高濃度でドーパされた層を形成するのが有利である。第1のソース/ドレイン領域のための層は、たとえば基板のイオン注入により形成される。エピタキシャルによって第1のソース/ドレイン領域のための層の上に、チャネル領域のための低濃度でドーパされた層が形成される。第2のソース/ドレイン領域は、イオン注入および/またはエピタキシャルによって形成される。この目的で、チャネル領域のための層においてマスクを用いることにより、イオン注入によって第2のソース/ドレイン領域のための領域を形成することができる。第2のソース/ドレイン領域のための領域は、たとえばストライプ状であって互いに平行に延在し、高濃度でドーパされたものとすることができる。

【0043】さらに本発明の枠内で第2のソース/ドレイン領域の上方に、絶縁材料から成る第4の補助層と、半導体材料から成る第5の補助層と、絶縁材料から成る第3の補助層が形成される。

【0044】また、本発明の枠内において第4の補助層

を形成する前に、先に述べた特性やコンタクト形成時の機能を伴わせて、第1の補助層が形成され、その上に第2の補助層が形成される。第2のトレンチを形成するため、構造化された第3の補助層がマスクとして用いられる。第2のソース/ドレイン領域のための領域がストライプ状であると、この領域に対し垂直方向に第2のトレンチが形成され、これによってその領域から第2のソース/ドレイン領域が生じる。

【0045】さらに本発明の枠内において、チャネルストップ領域形成後に絶縁材料が析出され、第5の補助層が露出するまで平坦化される。その際、第3の補助層が除去される。第2のソース/ドレイン領域の領域形成のためのマスクに対し相補的なマスクを用いることによって、絶縁材料が第2のトレンチから部分的に除去され、ここで第5の補助層により第4の補助層が保護される。これにより、第2のトレンチに孔状の凹欠部が生じ、それらの中に第1のソース/ドレイン領域がイオン注入とアニーリングにより形成される。第2のトレンチ内にそのまま残された絶縁材料は絶縁構造体として用いられ、これによって第2のトレンチに沿って隣り合う各トランジスタが互いに分離される。メモリノードはセルフアライメントで第1のソース/ドレイン領域と接続されるが、この場合、第1のソース/ドレイン領域の形成後、半導体材料がエッチングされ、コンデンサ誘電体が形成され、次に導電性材料が析出されて、メモリノードの高さが第1のソース/ドレイン領域の範囲に位置するまで、この材料がエッチバックされる。その際、第5の補助層が除去され、第4の補助層により第2のソース/ドレイン領域または第2の補助層が保護される。また、メモリノードと第1のソース/ドレイン領域との間の接続を可能にするため、コンデンサ誘電体の露出部分が除去される。次に、メモリノードが第1のソース/ドレイン領域のうちの1つとそれぞれ接続されるよう、導電性材料が析出されてエッチバックされる。ゲート誘電体形成後、材料の析出とエッチングによって、ゲート電極がメモリノードに対しセルフアライメントされて形成される。

【0046】メモリコンデンサの容量を高めるために、コンデンサ誘電体の接している基板の層を高濃度でドーピングすると有利である。この場合、第1のソース/ドレイン領域のための層は、基板の層上にエピタキシャル成長で形成される。選択的に、実質的にコンデンサ誘電体の周囲だけ基板を高濃度でドーピングしてもよい。このため、メモリノード形成前にドーパントが基板に取り込まれる。これはたとえばドーパされたポリシリコンの析出、アニーリング、さらに続いてポリシリコンを除去することによって行われる。

【0047】第1のソース/ドレイン領域は、一般にn形またはp形とすることができる。

【0048】メモリコンデンサの容量を高めるため、コ

ンデンサ誘電体がたとえば $Ba_x Sr_{1-x} TiO_3$ 、五酸化タンタル、または灰チタン石などのような高い誘電率の材料を有すると有利である。良好な境界面を形成するため、メモリコンデンサが基板上方に配置されている場合、高い誘電率をもついくつかの材料において、コンデンサプレートがプラチナ、ルテニウム、イリジウムおよび/または酸化ルテニウムを含むと有利である。また、メモリコンデンサが基板中に埋め込まれている場合には、コンデンサ誘電体が $SiO_2$ 層、ON層、NO層および/またはONO層を有するとさらに簡単である。なお、“O”は酸化物を、“N”は窒化シリコンを表す。

【0049】次に、図面を参照しながら本発明の実施例について詳細に説明する。

【0050】

【実施例】第1の実施例の場合、開始材料は第1の基板1aであり、これはp形にドーパされたシリコンを有し、そのドーパント濃度は約 $10^{16} cm^{-3}$ である。基板1aのチャネル領域Kaaのためのp形ドーパ層SKaは基板1aの表面Oaに隣接しており、そのドーパント濃度は約 $10^{17} cm^{-3}$ 、深さ約 $1 \mu m$ であるが、このp形ドーパ層SKaにおいて、第1のソース/ドレイン領域S/D1aのためのn形ドーパ層SSaがイオン注入によって形成される。第1のソース/ドレイン領域S/D1aのための層SSaのドーパント濃度は、約 $5 \times 10^{20} cm^{-3}$ である。第1のソース/ドレイン領域S/D1aの層SSaは約 $150 nm$ の深さである（図1参照）。

【0051】（図示されていない）第1のマスクを形成するため、 $SiO_2$ が約 $200 nm$ の厚さでTEOS法により析出される。ホトリソグラフ法により $SiO_2$ はたとえば $CHF_3 + O_2$ によりエッチングされ、これにより互いに平行に延在するストライプ状の領域を覆う第1のマスクが生じる。この第1のマスクを用いてシリコンをエッチングすることにより、約 $1.2 \mu m$ の深さの第1のトレンチG1aが形成される（図2参照）。エッチャントとしては、たとえば $HBr + NF_3 + He + O_2$ が適している。隣り合う2つの第1のトレンチG1aにおける各中央線間の間隔は、約 $1 \mu m$ である。約 $50 nm$ の厚さで $SiO_2$ を析出しエッチバックすることによって、（図示されていない）第1のスペーサが形成される。イオン注入によって、第1のトレンチG1aの底部にn形にドーパされたビットラインB1aが形成される。これらのビットラインは約 $150 nm$ の深さであり、ビットラインB1aのドーパント濃度は約 $5 \times 10^{20} cm^{-3}$ である。イオン注入中、第1のスペーサによって第1のトレンチG1aのエッジが保護される（図3、図4参照）。

【0052】次に、 $SiO_2$ が約 $500 nm$ の厚さでTEOS法により析出され、表面Oaが露出するまで化学

21

機械的研磨によって平坦化される。これにより第1の絶縁構造体I1aが形成される(図2参照)。

【0053】第1の補助層H1aを形成するため、約100nmの厚さでSiO<sub>2</sub>が析出される。さらにその上に第2の補助層H2aを形成するため、約100nmの厚さでポリシリコンが析出される。さらにその上に第3の補助層H3aを形成するため、約100nmの厚さでSiO<sub>2</sub>が析出される。ホトリソグラフ法によりまず最初にSiO<sub>2</sub>がたとえばCHF<sub>3</sub>+O<sub>2</sub>により、第2の補助層H2aが部分的に露出するまでエッチングされる。次にポリシリコンがたとえばC<sub>2</sub>F<sub>6</sub>+O<sub>2</sub>により、第1の補助層H1aが部分的に露出するまでエッチングされる。さらにその次にSiO<sub>2</sub>が、第1の絶縁構造体I1aの上辺が表面Oaに対し垂直に延びる軸Aに関して部分的に表面Oaの下方500nmに位置するまで、CHF<sub>3</sub>+O<sub>2</sub>によりエッチングされる。これに続いてシリコンが約500nmの深さまでエッチングされ、その際、第3の補助層H3aは第2のマスクとして用いられる。これによって、第1のトレンチG1aに対し垂直に延在する第2のトレンチG2aが形成され、このトレンチはチャネル領域Kaaのための層Skaまで達している。隣り合う2つの第2のトレンチG2aにおける各中央線間の間隔は、約1.25μmである(図3、図4参照)。第2のトレンチG2aと第1のトレンチG1aの形成により、チャネル領域Kaaのための層Skaからチャネル領域Kaaが、さらに第1のソース/ドレイン領域S/D1aのための層から第1のソース/ドレイン領域S/D1aが生じる。第1のソース/ドレイン領域S/D1aおよびチャネル領域Kaaは、側方において第1のトレンチG1aと第2のトレンチG2aにより取り囲まれている。

【0054】第2のスペーサSp2aを形成するため、約50nmでSiO<sub>2</sub>が析出されエッチバックされる(図3参照)。イオン注入により第2のトレンチ底部に、n形ドーパされた第2のソース/ドレイン領域S/D2aが形成される。第2のソース/ドレイン領域S/D2aのドーパント濃度は、約5×10<sup>20</sup>cm<sup>-3</sup>である。アニーリングステップにより第2のソース/ドレイン領域S/D2aが膨張し、これによって第2のソース/ドレイン領域S/D2aの上辺が横方向で第2のトレンチG2aの底部の上に延びている。このアニーリングステップにより、第2のソース/ドレイン領域S/D2aのドーパントも活性化される。ソース/ドレイン領域S/D2aは約300nmの深さである。第2のトレンチG2aの外側における第1の絶縁構造体I1aの一部は、第2のトレンチG2aに沿って隣り合うメモリセルを分離している。第2のスペーサSp2aによって、第2のソース/ドレイン領域S/D2aのイオン注入にあたり第2のトレンチG2aのエッジが保護される。

【0055】次に、たとえばHBr+NF<sub>3</sub>+He+O

22

2によりシリコンがエッチングされ、これによって第2のトレンチG2aは第1のトレンチG1aの外側の領域で約200nm深くなる。ポリシリコンとシリコンに対し選択的にSiO<sub>2</sub>をエッチングすることにより、第2のスペーサSp2aと、第2のトレンチG2a内に配置された第1の絶縁構造体I1aの部分が除去される。SiO<sub>2</sub>を約50nmの厚さで析出しエッチバックすることによって、(図示されていない)第3のスペーサが第2のトレンチG2aのエッジに形成される。斜め方向にイオン注入することにより、第2のトレンチG2a内に位置する第1のトレンチG1aの第2のエッジ1F2aのところに、n形にドーパされた第1の拡散領域D1aが形成される。第1の拡散領域D1aは、それぞれ1つのビットラインB1aおよび第2のソース/ドレイン領域S/D2aと隣接している。この場合、イオン注入にあたり第3のスペーサによって他のエッジが保護される。第1の拡散領域D1aのドーパント濃度は約10<sup>20</sup>cm<sup>-3</sup>である(図6参照)。

【0056】次に、約500nmほどSiO<sub>2</sub>がTEOS法により析出され、第2の補助層H2aが露出するまで化学機械的研磨によって除去される。そしてSiO<sub>2</sub>をたとえばCHF<sub>3</sub>+O<sub>2</sub>を用いてエッチバックすることにより、第2のトレンチG2a内に底部構造体Baが形成され、これは第2のトレンチ内で平坦な底を成している(図5、図6参照)。この平坦な底部は表面Oaの下約500nmに位置しており、したがって第2のソース/ドレイン領域S/D2aの上辺のほとんど下に位置している。第2のトレンチG2aを部分的に深くエッチングすることで、第2のトレンチG2の平坦な底部の高さに対する垂直方向の許容範囲が広がる(図5参照)。

【0057】これに続いて、隣り合う2つの第1のトレンチG1の間に位置する領域を1つおきに覆う第1のホトレジストマスクPm1を用いて斜め方向にイオン注入を行うことで、第2のトレンチG2aにおける第2のエッジ2F2aの一部分に、チャネルストップ領域Caが形成される(図7参照)。また、第1のホトレジストマスクPm1により覆われた領域は覆わない第2のホトレジストマスクPm2を用いて斜め方向にイオン注入を行うことで、第2のトレンチG2aにおける第1のエッジ2F1aにチャネルストップ領域Caが形成される(図7参照)。チャネルストップ領域Caのドーパント濃度は約1×10<sup>19</sup>cm<sup>-3</sup>である。

【0058】熱酸化により、約10nmの厚さのゲート誘電体Gdaが形成される(図8参照)。ワードラインW1aを形成するために、n形にドーパされたポリシリコンが約150nmの厚さで析出される。次に、第2の補助層H2aと隣接するゲート誘電体Gdaの部分が露出するまで、たとえばC<sub>2</sub>F<sub>6</sub>+O<sub>2</sub>によりポリシリコンがエッチングされる。そしてゲート誘電体Gdaの露出部分は、たとえばHFを用いたSiO<sub>2</sub>の等方性エッ

10

20

30

40

50

23

チングにより除去される。次に、第2のトレンチG2aの第1のエッジ2F1aと第2のトレンチG2aの第2のエッジ2F2aのところにスペーサのかたちでワードラインW1aが生じるまで、ポリシリコンがエッチングされる。第1のソース/ドレイン領域S/D1aに隣接するワードラインW1aの部分は、ゲート電極Ga aとして適している(図8参照)。

【0059】さらにこれに続いて約500nmの厚さでSiO<sub>2</sub>が析出され、化学機械的研磨により平坦化される。これによって第2の絶縁構造体I2aが生じる(図8参照)。

【0060】さらにホトレジストマスクを用いることで、第1のソース/ドレイン領域S/D1aの一部が露出するまで、SiO<sub>2</sub>がエッチングされる。約400nmほどタングステン析出し、第2の絶縁構造体I2aが露出するまでたとえばSF<sub>6</sub>によってエッチバックすることにより、第1のソース/ドレイン領域S/D1aのためのコンタクトKaが形成される(図8参照)。

【0061】次に、約200nmの厚さでプラチナが析出される。第1のコンデンサプレートP1aを形成するためコンタクトKaを覆うホトレジストマスクを用いて、第2の絶縁構造体I2aが露出するまで、たとえばCl<sub>2</sub>+O<sub>2</sub>によりプラチナがエッチングされる。その後、厚さ約20nmほどでBa<sub>0.5</sub>Sr<sub>0.5</sub>TiO<sub>3</sub>が析出され、これによってコンデンサ誘電体Kdaが形成される。約300nmのプラチナを析出することにより、第2のコンデンサプレートP2aが形成される(図8参照)。

【0062】第2の実施例の場合も第1の実施例と同様、チャネル領域Kabのための層SKbと第1のソース/ドレイン領域S/D1bのための層SSbを含む第2の基板1b中に、第1のマスクM1bを用いることで第1のトレンチG1bが形成される(図9参照)。この場合、第1の実施例とは異なり、第1のトレンチG1bは約2μmの深さである。第1のトレンチG1bの底部にビットラインB1bを形成するため、約400nmの厚さで高濃度にn形ドーパされたポリシリコンが析出され、第1のマスクM1bが露出するまで化学機械的研磨により平坦化され、約1.2μmの深さほどエッチバックされる。これにより、ビットラインB1bは約1μmの厚さとなる。ビットラインB1bを基板1bから電気的に絶縁するため、アニーリングによりビットラインB1bのドーパントが基板1bまで拡散され、これによって第2の拡散領域D2bが生じる(図9参照)。

【0063】(図示されていない)第1の絶縁構造体を形成するため、第1の実施例の場合のようにSiO<sub>2</sub>が約500nmの厚さでTEOS法により析出され、第1のソース/ドレイン領域S/D1bのための層SSbが露出するまで化学機械的研磨により平坦化される。

【0064】さらに第1の実施例の場合のように、第1

24

の補助層(図示せず)、第2の補助層(図示せず)、第3の補助層(図示せず)、第2のトレンチG2b、第1のソース/ドレイン領域S/D1bならびにチャネル領域Kabが形成される。この場合、第1の実施例とは異なり、隣り合う2つの第2のトレンチG2bの各中央線間の間隔は約1μmである。また、第1の実施例の場合のように、第2のソース/ドレイン領域S/D2b、第1の拡散領域(図示せず)、第2のトレンチG2bのための底部構造体Bb、チャネルストップ領域Cb、第1の絶縁構造体(図示せず)、ならびにゲート誘電体Gdbが形成される。次に、n形にドーパされたポリシリコンが約150nmの厚さで析出され、第2の補助層H2bに隣接するゲート誘電体Gdbの部分が露出するまで、化学機械的研磨により平坦化される。これに続いて、ワードラインW1bつまりはゲート電極Gabがスペーサのかたちで第2のトレンチG2bのエッジに生じるまで、ポリシリコンがエッチングされる。ワードラインW1bは第2の補助層H2bに隣接しない。この次に、SiO<sub>2</sub>が約500nmの厚さで析出され、第2の補助層H2bが露出するまで化学機械的研磨により平坦化される。これにより第2の絶縁構造体I2bが生じる。たとえばC<sub>2</sub>F<sub>6</sub>+O<sub>2</sub>を用いてSiO<sub>2</sub>に対し選択的にポリシリコンをエッチングすることによって、第2の補助層H2bが除去される。これに続いて、第1のソース/ドレイン領域S/D1bが露出して第1の補助層H1bが除去されるまで、たとえばCHF<sub>3</sub>+O<sub>2</sub>によってSiO<sub>2</sub>がエッチングされる。第2の絶縁構造体I2bの上辺は、第1のソース/ドレイン領域S/D1bよりも高い位置にある。n形にドーパされたポリシリコンを約500nmの厚さで析出し、次に第2の絶縁構造体I2bが露出するまで化学機械的研磨を行うことにより、第1のソース/ドレイン領域S/D1bに対しセルフアライメントされてコンタクトKbが生じる。第1の実施例の場合と同様、これに続いて第1のコンデンサプレートP1b、コンデンサ誘電体Kdb、第2のコンデンサプレートP2bが形成される(図10参照)。

【0065】第3の実施例によれば第1の実施例の場合と同様、チャネル領域Kacのための層Skcと第1のソース/ドレイン領域S/D1cのための層SScを有する第3の基板1c中に、第1のマスクM1cを用いることで約2μmの深さの第1のトレンチG1cが形成される(図11参照)。第3の絶縁構造体I3cを形成するために、SiO<sub>2</sub>が約50nmの厚さで析出される。次に約400nmの厚さでタングステンシリサイドが析出され、第1のマスクM1cが露出するまで化学機械的研磨により平坦化され、その後、約1.2μmの深さでエッチングされる。エッチャントとしてはたとえばSF<sub>6</sub>が適している。これによってビットラインB1cが生じる。これらのビットラインB1cは、第3の絶縁構造体I3cにより基板1cから絶縁される(図11参



25

照)。これに続いて、第3の絶縁構造体I3cの露出部分がたとえばHFにより除去される。

【0066】第1の絶縁構造体I1cを形成するため、第1の実施例の場合のように約500nmの厚さでSiO<sub>2</sub>が析出され、第1のソース/ドレイン領域S/D1cが露出するまで化学機械的研磨により平坦化される。

【0067】約100nmの厚さでSiO<sub>2</sub>を析出することにより、第1の補助層H1cが形成される。約100nmの厚さでポリシリコンを析出することにより、第2の補助層H2cが形成される。約100nmの厚さでSiO<sub>2</sub>を析出することにより、第6の補助層H6cが形成される。約100nmの厚さでポリシリコンを析出することにより、第7の補助層H7cが形成される。また、100nmの厚さでSiO<sub>2</sub>を析出することにより、第3の補助層H3cが形成される(図12、図13参照)。さらにホトレジストマスクを用いることにより、第3の補助層H3c、第7の補助層H7c、第6の補助層H6c、第2の補助層H2c、ならびに第1の補助層H1cが構造化される。次に第2のトレンチG2cの形成にあたり、第3の補助層H3cはマスクとして用いられる。この目的で、SiO<sub>2</sub>に対し選択的にたとえばHBr+NF<sub>3</sub>+He+O<sub>2</sub>により約500nmの深さでシリコンがエッチングされる。

【0068】第1の実施例の場合と同様、約500nmの厚さでのSiO<sub>2</sub>の析出ならびに第2のトレンチG2cのエッジにおけるエッチバックによって、第2のスペーサSp2cが形成される。イオン注入ならびにアニーリングによって第1の実施例の場合のように第2のトレンチG2cの底部に、第2のソース/ドレイン領域S/D2cが形成される。第2のソース/ドレイン領域S/D2cは約300nmの深さである。そのドーパント濃度は約 $5 \times 10^{20} \text{ cm}^{-3}$ である。イオン注入にあたり、第2のスペーサSp2cにより第2のトレンチG2cのエッジが保護される(図12、図13参照)。第2のトレンチG2cおよび第1のトレンチG1cの形成により、チャネル領域Kacのための層Skcからチャネル領域Kacが形成され、第1のソース/ドレイン領域S/D1cのための層から第1のソース/ドレイン領域S/D1cが形成される。第1のソース/ドレイン領域S/D1cおよびチャネル領域Kacは、側方で第1のトレンチG1cと第2のトレンチG2cにより取り囲まれている。

【0069】次に第1の実施例の場合のようにシリコンがエッチングされ、これによって第1のトレンチG1a外の領域において第2のトレンチG2aが約200nm深くなる(図12、図13参照)。

【0070】次に、約500nmの厚さでSiO<sub>2</sub>が析出され、第7の補助層H7cが露出するまで化学機械的研磨により平坦化される。続いて第2のトレンチG2c内で、部分的に第1のトレンチG1cとオーバーラップし

26

部分的に第1のトレンチG1cとオーバーラップしていない領域において、ビットラインB1cの一部分と第2のソース/ドレイン領域S/D2cの一部分が露出するまで、SiO<sub>2</sub>がエッチングされる(図15参照)。この目的でストライプ状のホトレジストマスクが被着され、このホトレジストマスクは第1のトレンチG1cに対し平行に延在し、それらと部分的にオーバーラップしている。その際、第7の補助層H7cにより、ホトレジストマスク外に位置する第6の補助層H6cの部分が保護される。ビットラインB1cと第2のソース/ドレイン領域S/D2cとを相互接続する導電性の構造体Lcを形成するため、n形にドーパされたポリシリコンが約400nmの厚さで析出され、第7の補助層H7cが除去されて第6の補助層H6cが露出するまで、化学機械的研磨により平坦化される。次に、約0.9μmの深さでエッチバックが行われる。これにより、ポリシリコンから成る構造体P1が形成される(図14、図15参照)。この場合、第6の補助層H6cはマスクとして用いられ、この補助層により第2の補助層H2cが保護される。エッチャントとしてはたとえばC<sub>2</sub>F<sub>6</sub>+O<sub>2</sub>が適している。アニーリングによりポリシリコンから成る構造体P1のドーパントが基板1cに拡散する。これにより第1の拡散領域D1cが生じ、この領域によってポリシリコンから成る構造体P1が基板1cから電氣的に絶縁される。ポリシリコンから成る構造体P1とそれに属する第1の拡散領域D1cとがいっしょになって、導電性構造体Lcが形成される(図15参照)。

【0071】次に、SiO<sub>2</sub>が約500nmの厚さで析出され、第2の補助層H2cが露出するまで化学機械的研磨により平坦化される。その際、第6の補助層H6cが除去される。続いて約700nmの深さでSiO<sub>2</sub>がエッチングされ、これによって第2のトレンチG2c内にその平坦な底部を成す底部構造体Bcが形成される(図16参照)。その後、第1の実施例の場合と同様、チャネルストップ領域Cc、ゲート誘電体Gdc、ワードラインW1c、ゲート電極Gac、第2の絶縁構造体I2c、コンタクトKc、第1のコンデンサプレートP1c、コンデンサ誘電体Kdc、ならびに第2のコンデンサプレートP2cが形成される(図16、図17参照)。

【0072】第4の実施例の場合、第4の基板1dがp形にドーパされている。第4の基板1dのドーパント濃度は約 $10^{15} \text{ cm}^{-3}$ である。エピタキシャルにより、ビットラインB1dのための約500nmの厚さのn形ドーパ層SBdが形成される。ビットラインB1dのための層SBdのドーパント濃度は約 $5 \times 10^{20} \text{ cm}^{-3}$ である。さらにエピタキシャルにより、チャネル領域Kadのための約300nmの厚さのp形ドーパ層SKdが形成される。チャネル領域Kadのための層SKdのドーパント濃度は約 $3 \times 10^{17} \text{ cm}^{-3}$ である。さらにエピタ



キシナルにより、第1のソース/ドレイン領域S/D1dのための約150nmの厚さのn形ドーパ層SSdが形成される。第1のソース/ドレイン領域S/D1dのための層SSdのドーパント濃度は約 $5 \times 10^{20} \text{ cm}^{-3}$ である(図18参照)。

【0073】第1のマスク(図示せず)を形成するため、SiO<sub>2</sub>が約200nmの厚さでTEOS法により析出され、ホトリソグラフィ法によって構造化される。この第1のマスクを用いSiO<sub>2</sub>に対し選択的にシリコンをエッチングすることにより、第1のトレンチG1dが生じる。隣り合う第1のトレンチG1dにおける各中央線間の間隔は約1μmである。第1のトレンチG1dによりビットラインB1dのための層SBdが分断される。これによりビットラインB1dのための層SBdから、ビットラインB1dが生じる。

【0074】続いて第1の実施例の場合のように、第1の絶縁構造体I1dが形成される。この第1の絶縁構造体I1dにより、隣り合うビットラインB1dが互いに絶縁される。

【0075】SiO<sub>2</sub>から成る第3の補助層H3dが析出され、第1の絶縁構造体I1dといっしょにホトリソグラフィ法により構造化され、これは次に第2のトレンチG2dを形成するためシリコンをエッチングする際に第2のマスクとして用いられる。第2のソース/ドレイン領域S/D2dはビットラインB1dの一部であり、先に挙げた実施例の場合のように第2のトレンチG2dの底部に形成しなくてもよい。第2のトレンチG2dはチャネル領域Kadのための層SKdのほとんど下まで達しており、約500nmの深さである。第2のトレンチG2dおよび第1のトレンチG1dの形成により、チャネル領域Kadのための層SKdからチャネル領域Kadが生じ、第1のソース/ドレイン領域S/D1dのための層から第1のソース/ドレイン領域S/D1dが生じる。第1のソース/ドレイン領域S/D1dおよびチャネル領域Kadは、側方で第1のトレンチG1dと第2のトレンチG2dにより取り囲まれている。

【0076】次に、マスクを用いることなく斜めにイオン注入を行うことで、第2のトレンチG2dの第2のエッジ2F2dにチャネルストップ領域Cdが形成される。

【0077】熱酸化によりゲート誘電体Gddが形成される。ゲート誘電体Gddが形成された後も、第2のトレンチG2dの底部は実質的に平坦である。

【0078】これに続いて、n形にドーパされたポリシリコンが約400nmの厚さで析出され、第3の補助層H3dが露出するまで化学機械的研磨により平坦化される。その後、ポリシリコンがエッチングされ、これによって第2のトレンチG2dの各々にワードラインW1dと、ワードラインW1dの一部としてゲート電極Ga dとが形成される。

【0079】その後、第2の絶縁構造体I2dを形成するため、約500nmの厚さでSiO<sub>2</sub>が析出され、化学機械的研磨により平坦化される。第1のソース/ドレイン領域S/D1dの一部を覆わないマスクを用いて、第1のソース/ドレイン領域S/D1dの一部が露出するまでSiO<sub>2</sub>がエッチングされる。約400nmの厚さでタングステンが析出され、第2の絶縁構造体I2dが露出するまでたとえばSF<sub>6</sub>を用いてエッチングすることによって、コンタクトKdが形成される。

【0080】第1の実施例の場合と同様、第1のコンデンサプレートP1d、コンデンサ誘電体Kddおよび第2のコンデンサプレートP2dが形成される(図21、図22参照)。

【0081】第5の実施例によれば、第5の基板1eがその表面Oeに隣接する層Sにおいてn形でドーパされる。層Sのドーパント濃度は約 $10^{20} \text{ cm}^{-3}$ である。エピタキシナルにより、チャネル領域Kaeのためのp形ドーパ層SKeが形成される。チャネル領域Kaeのための層SKeのドーパント濃度は約 $10^{17} \text{ cm}^{-3}$ である(図23参照)。ホトリソグラフィ法を用いることで、イオン注入によりn形にドーパされた第2のソース/ドレイン領域S/D2eのための領域Geが形成され、これらの領域はストライプ状であり互いに平行に延在している。領域Geのドーパント濃度は約 $5 \times 10^{20} \text{ cm}^{-3}$ である。領域Geは約150nmの深さである(図23参照)。

【0082】約150nmの厚さでSiO<sub>2</sub>を析出することにより、第4の補助層H4eが形成される。約150nmの厚さでポリシリコンを析出することにより、第5の補助層(図示せず)が形成される。約150nmの厚さでSiO<sub>2</sub>を析出することにより、第3の補助層(図示せず)が形成される(図24参照)。ホトリソグラフィ法により第3の補助層、第5の補助層ならびに第4の補助層H4eが構造化される。SiO<sub>2</sub>に対し選択的にシリコンをエッチングすることにより、領域Geと交差する方向で互いに平行に延在する第2のトレンチG2eが形成され、その際、構造化された第3の補助層はマスクとして用いられる。隣り合う2つの第2のトレンチの各中央線間の間隔は約1μmである。第2のトレンチG2eは約600nmの深さである。エッチャントとしてはたとえばHBrFが適している。次に、第3の補助層が除去されるまでSiO<sub>2</sub>がエッチングされる。

【0083】これに続いて第1の実施例の場合のようにチャネルストップ領域Ceが形成され、この場合、第1のトレンチG1aには各領域Geの間に位置する範囲が対応する。約500nmの厚さでSiO<sub>2</sub>を析出し、第5の補助層が露出するまで化学機械的研磨を行うことにより、第2のトレンチG2eがSiO<sub>2</sub>によって充填される。

【0084】領域Geを覆わないホトレジストマスクを

用いることで $\text{SiO}_2$ がエッチングされ、これによって第2のトレンチG2eの一部分に、 $\text{SiO}_2$ の除去された凹欠部が生じる。その際、第5の補助層により第4の補助層H4eが補助される。

【0085】第2のスペーサSp2eを形成するため、約50nmの厚さで $\text{SiO}_2$ が析出され、エッチバックされる。次にイオン注入により、第2のトレンチG2eの底部に第1のソース/ドレイン領域S/D1eが形成される。なお、イオン注入にあたり第2のスペーサSp2eにより第2のトレンチG2eのエッジが保護され、第1のソース/ドレイン領域S/D1eのドーパント濃度は約 $5 \times 10^{20} \text{ cm}^{-3}$ である。第1のソース/ドレイン領域S/D1eは約300nmの深さである。ドーパントはアニーリングにより活性化される(図24参照)。

【0086】次に、 $\text{SiO}_2$ に対し選択的にシリコンがエッチングされ、これによって第5の補助層が除去され、凹欠部が約10 $\mu\text{m}$ 深くなる。コンデンサ誘電体Kdeを形成するため、約9nmの厚さのONO層が形成される。この目的でまずはじめに熱酸化により約3nm $\text{SiO}_2$ を成長させ、その後、約6nm窒化シリコンを析出し、続いてこれを熱酸化により約3nmの深さで酸化させる。次に、ドーパされたポリシリコンが約300nmの厚さで析出され、第4の補助層H4eが露出するまで化学機械的研磨により平坦化される。その後、 $\text{SiO}_2$ に対し選択的にポリシリコンが約1150nmの深さでエッチングされる。これによってコンデンサのメモリノードSpが形成される。たとえば $\text{CF}_4$ プラズマを用いた等方性エッチングにより、コンデンサ誘電体Kdeの露出部分が除去される(図24参照)。メモリノードSpを第1のソース/ドレイン領域S/D1eと電気的に接続する接続エレメントVeを形成するため、約300nmの厚さでポリシリコンが析出され、第4の補助層H4eが露出するまで化学機械的研磨により平坦化される。次に、メモリノードSpの一部分とみなせる接続エレメントVeが生じるまで、ポリシリコンがエッチバックされる。その後、第2のスペーサSp2eと第4の補助層H4eが除去されるまで、 $\text{SiO}_2$ がエッチングされる。エッチャントとしてたとえばHFが適している。熱酸化により、約10nmの厚さのゲート誘電体Gdeが成長させられる。ワードラインW1eとゲート電極Gaeを形成するため、約150nmの厚さでポリシリコンが析出され、ワードラインW1eつまりはゲート電極Gaeがスペーサのかたちで第2のトレンチG2eのエッジに生じるまで、エッチバックされる。ワードラインW1eは表面Oeよりも深い位置にある。さらに第2の絶縁構造体I2eを形成するため、約500nmの厚さで $\text{SiO}_2$ が析出され、第2のソース/ドレイン領域S/D2eが露出するまで化学機械的研磨により平坦化される。次に、約500nmの厚さでタングステンが析出さ

れ、ホトリソグラフィ法により構造化される。これにより互いに平行に延在するストライプ状のビットラインB1eが生じ、それらはワードラインW1eに対し垂直に延びており、第2のソース/ドレイン領域S/D2eに接している(図25参照)。

【0087】なお、これら5つの実施例に関して、同様に本発明の枠内で多数の変形が考えられる。たとえば、先に挙げた層や領域やトレンチの寸法を個々の要求に合わせて任意に整合させることができる。同じことは先に挙げたドーパント濃度についてもあてはまる。また、化学機械的研磨の代わりにエッチバックを行うことができ、さらに導電形を取り替えてもよい。コンタクトのための材料として、他の導電材料も適している。熱酸化の代わりにTEOS法を使用することもできる。ホウケイ酸ガラスの代わりに、たとえばリンケイ酸ガラスやホウリンケイ酸ガラスも使用できる。また、タングステンの代わりに、たとえばAlSiCu、銅またはアルミニウムを用いてもよい。

【0088】第4の実施例の場合のように、第1～第3の実施例において第2のトレンチG2dの底部構造体を省略できる。この場合、第2のトレンチの一部分における付加的な凹欠部も省略できる。これとは逆に、第4の実施例において底部構造体を形成することができる。底部構造体の高さ設定に対し適切な垂直方向の許容範囲を保持する目的で、第2のトレンチをたとえば200nm低くエッチングすることができる。

【0089】第2の実施例による第1のソース/ドレイン領域を第1のコンデンサプレートと、マスクされたエッチングにより形成されるコンタクトを介して接続することもできるし(第1、第3、第4の実施例)、あるいはコンタクトなしで接続することもできる(第5の実施例)。また、第1、第3、第4の実施例による第1のソース/ドレイン領域を第1のコンデンサプレートと、セルフアライメントされたコンタクトを介して接続することもできるし(第2の実施例)、あるいはコンタクトなしで接続することもできる(第5の実施例)。さらに第5の実施例による第1のソース/ドレイン領域をビットラインと、セルフアライメントされたコンタクトを介して接続することもできるし(第2の実施例)、あるいはマスクされたエッチングにより形成されるコンタクトを介して接続することもできる(第1、第3、第4の実施例)。

#### 【図面の簡単な説明】

【図1】チャネル領域のための層を有しソース/ドレイン領域のための層の形成された第1の基板の断面図である。

【図2】図1による断面図にトレンチ、ビットラインおよび第1の絶縁構造体が形成された後の様子を示す図である。

【図3】図2の断面に対し垂直な断面図を示す図であ

り、この場合、第1の補助層、第2の補助層、第3の補助層、第2のトレンチ、第1のソース/ドレイン領域、チャンネル領域、第2のスペーサならびに第2のソース/ドレイン領域がすでに形成されている。

【図4】図3から複数のステップを経た後の断面図である。

【図5】第1の拡散領域、底部構造体およびチャンネルストップ領域が形成された後の断面図である。

【図6】図5から複数のステップを経た後の断面図である。

【図7】第1の基板の平面図であり、チャンネルストップ領域形成に用いられる第1および第2のホトレジストマスクと第1および第2のトレンチを示す図である。

【図8】ゲート誘電体、ワードライン、ゲート電極、第2の絶縁構造体、コンタクト、第1のコンデンサプレート、コンデンサ誘電体、ならびに第2のコンデンサプレートが形成された後の様子を示す断面図である。

【図9】第2の基板の断面図であり、チャンネル領域のための層、ソース/ドレイン領域のための層、第1のマスク、第1のトレンチ、ビットラインおよび第2の拡散領域が形成された後の様子を示す図である。

【図10】図9の断面に対し垂直な断面図であり、第2のトレンチ、第2のソース/ドレイン領域、第1の拡散領域、底部構造体、チャンネルストップ領域、ゲート誘電体、ワードライン、ゲート電極、第2の絶縁構造体、コンタクト、第1のコンデンサプレート、コンデンサ誘電体、ならびに第2のコンデンサプレートが形成された後の様子を示す図である。

【図11】第3の基板の断面図であり、チャンネル領域のための層、ソース/ドレイン領域のための層、第1のマスク、第1のトレンチ、第3の絶縁構造体、ならびにビットラインが形成された後の様子を示す図である。

【図12】図11の断面に対し垂直な断面図であり、絶縁構造体、第1の補助層、第2の補助層、第4の補助層、第5の補助層、第3の補助層、第2のトレンチ、第2のスペーサ、ならびに第2のソース/ドレイン領域が形成され、第2のトレンチが部分的にいくらか深くエッチングされた後の様子を示す図である。

【図13】図12から複数のステップを経た後の様子を示す断面図である。

【図14】導電性構造体の一部分としてポリシリコンから成る構造体と第1の拡散領域が形成された後の図12による断面の様子を示す図である。

【図15】図14から複数のステップを経た後の様子を示す断面図である。

【図16】底部構造体、ゲート誘電体、ワードライン、ゲート電極、第2の絶縁構造体、コンタクト、第1のコンデンサプレート、コンデンサ誘電体、ならびに第2のコンデンサプレートが形成された後の図14の断面の様子を示す図である。

【図17】図16から複数のステップを経た後の断面の様子を示す図である。

10 【図18】第4の基板の断面図であり、ビットラインのための層、チャンネル領域のための層、およびソース/ドレイン領域のための層が形成された後の様子を示す図である。

【図19】第1のトレンチ、第1の絶縁構造体、第3の補助層ならびに第2のトレンチが形成された後の図18の断面の様子を示す図である。

【図20】図19の断面に対し垂直方向の第1の基板の断面図であり、図19から複数のステップを経た後の様子を第2のトレンチの沿って示す断面図である。

20 【図21】チャンネルストップ領域、ゲート誘電体、ワードライン、ゲート電極、第2の絶縁構造体、コンタクト、第1のコンデンサプレート、コンデンサ誘電体、ならびに第2のコンデンサプレートが形成された後の図19の断面の様子を示す図である。

【図22】図21から複数のステップを経た後の断面の様子を示す図である。

【図23】第5の基板の断面図であり、チャンネル領域とドーパ領域のための層が形成された後の様子を示す図である。

30 【図24】第4の補助層、第2のトレンチ、チャンネルストップ領域、第1のソース/ドレイン領域、コンデンサ誘電体、ならびにメモリノードが形成された後の図23の断面の様子を示す図である。

【図25】接続ライン、ゲート誘電体、第2の絶縁構造体、ワードライン、ゲート電極、ならびにビットラインが形成された後の図24の断面を示す図である。

【符号の説明】

1a~1e 基板

0a~0e 基板表面

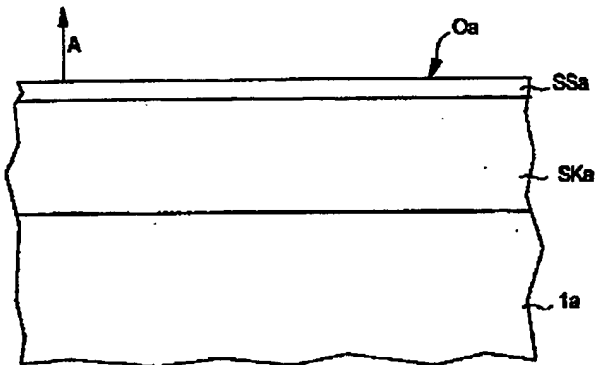
40 SSa~SSe n形ドーパ層

SKa~SKe p形ドーパ層

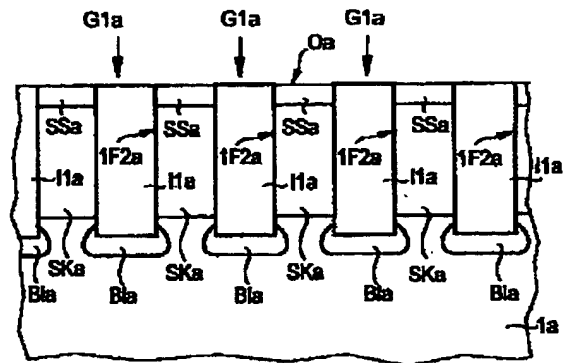
G1a~G1e 第1のトレンチ

G2a~G2e 第2のトレンチ

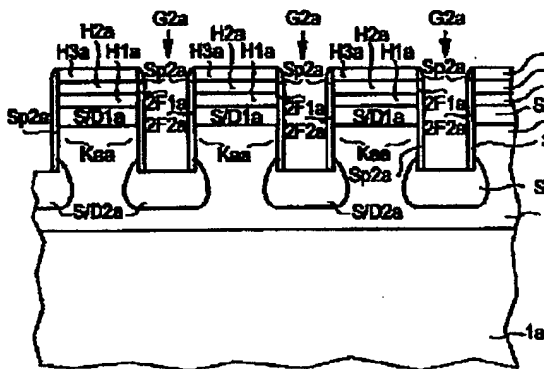
【図1】



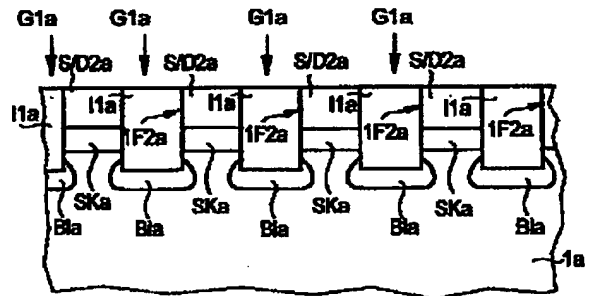
【図2】



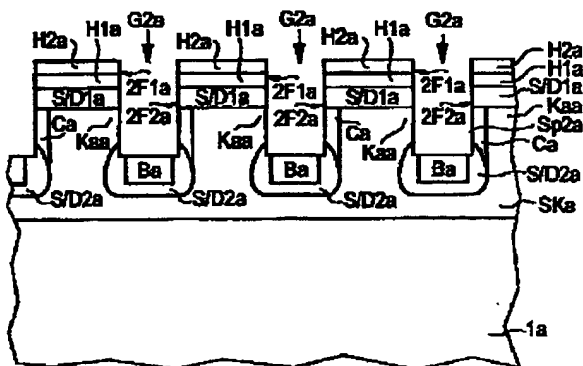
【図3】



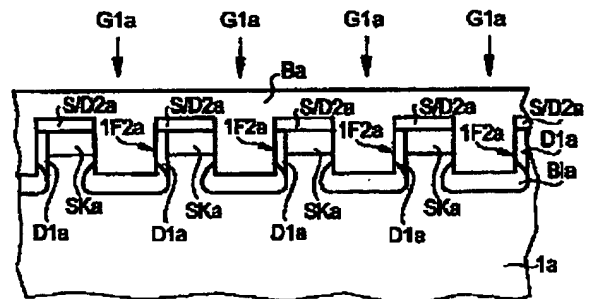
【図4】



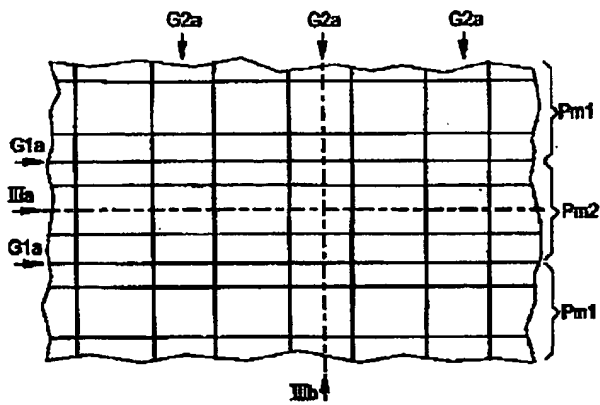
【図5】



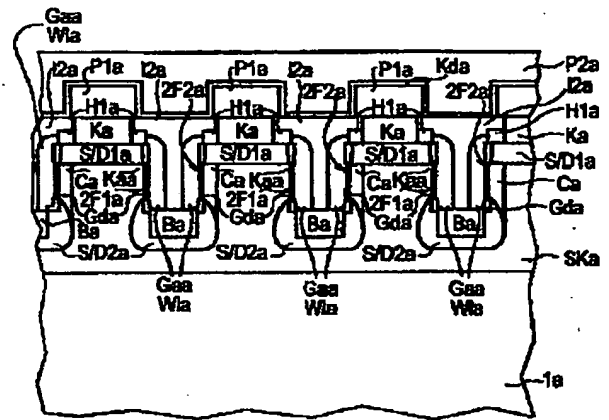
【図6】



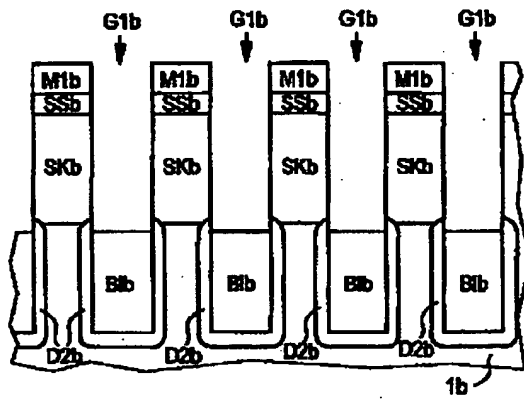
【図7】



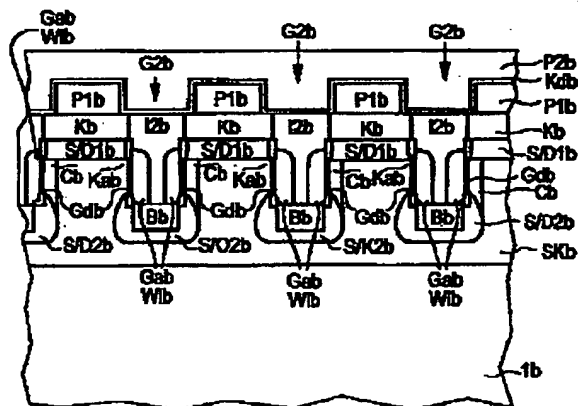
【図8】



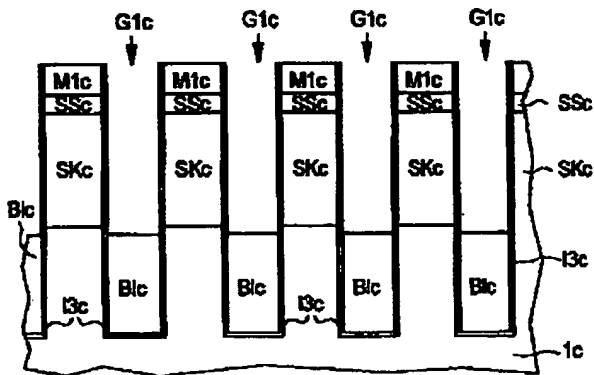
【図9】



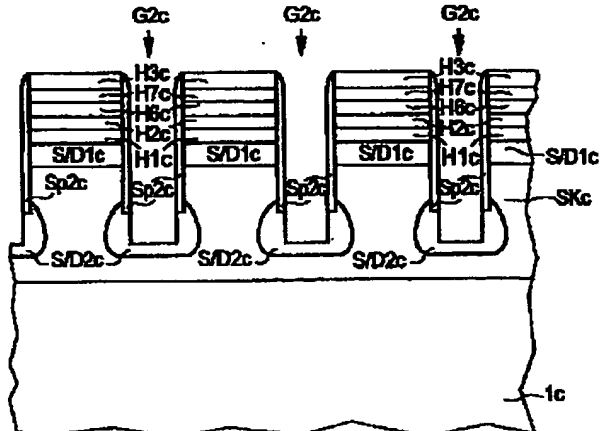
【図10】



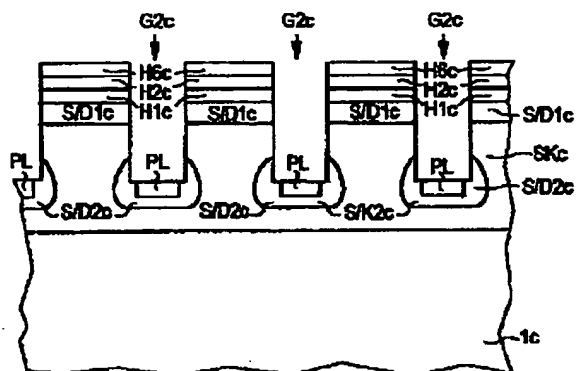
【図11】



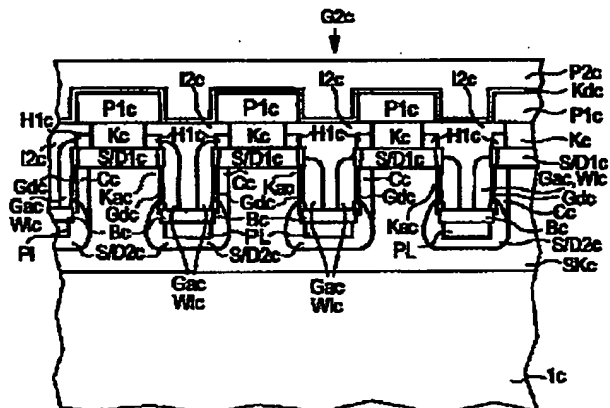
【図12】



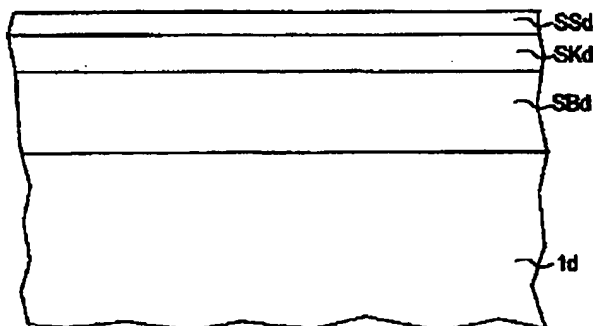
【図14】



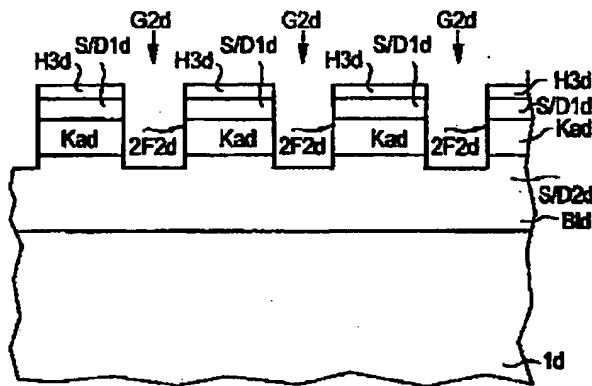
【图16】



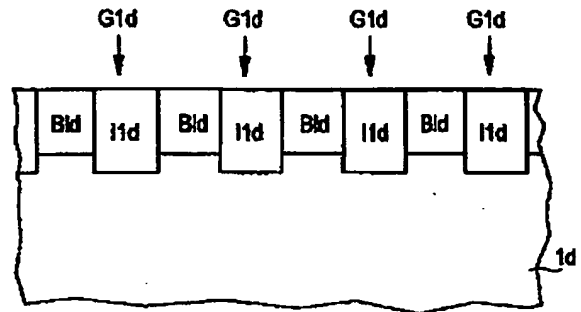
【図18】



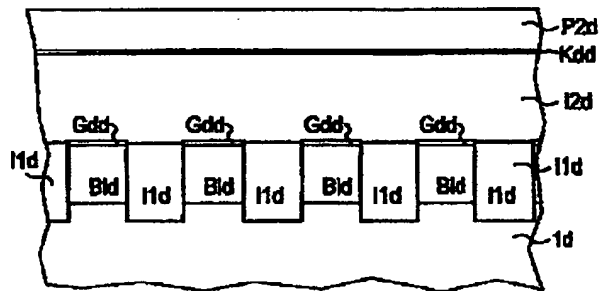
【図19】



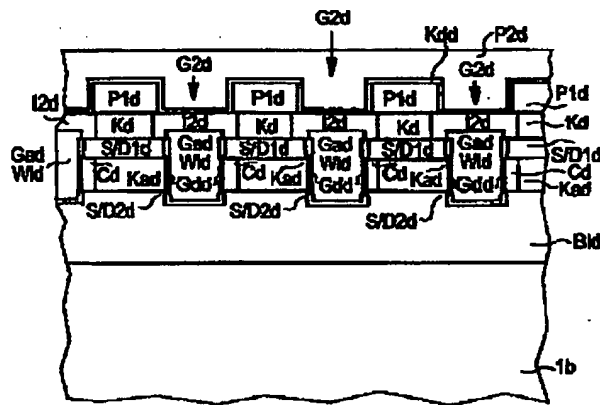
【図20】



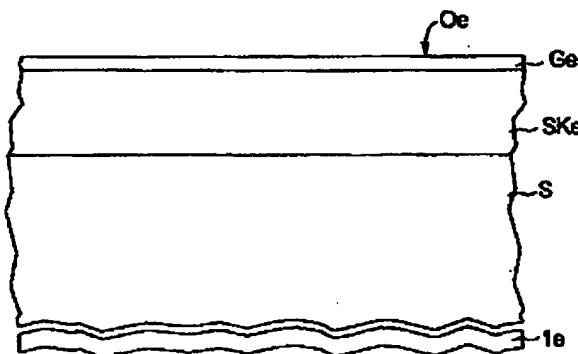
【図22】



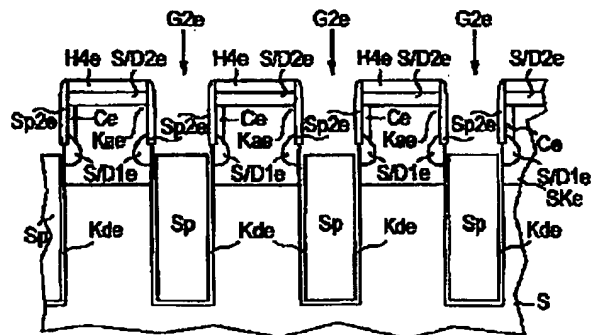
【図21】



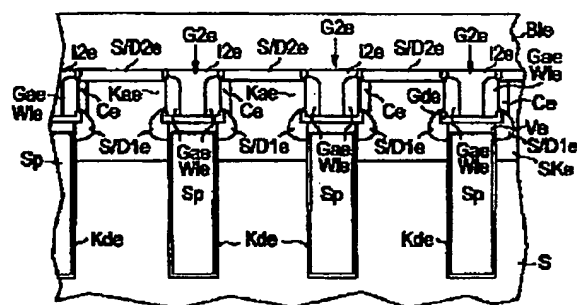
【図23】



【図24】



【圖25】



## フロントページの続き

(72)発明者 ヘルムート クローゼ  
アメリカ合衆国 ニューヨーク フェアウ  
エイ ボウキープシー 18